

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

-IN RE APPLICATION OF: Akira HOKAZONO

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE HAVING ACTIVE REGIONS CONNECTED TOGETHER BY
INTERCONNECT LAYER AND METHOD OF MANUFACTURE THEREOF

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
Japan

APPLICATION NUMBER
2001-392569

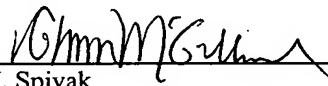
MONTH/DAY/YEAR
December 25, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



5-14-02
MB

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年12月25日

出 願 番 号

Application Number:

特願2001-392569

[ST.10/C]:

[JP2001-392569]

出 願 人

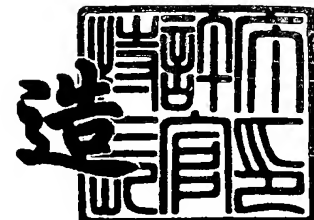
Applicant(s):

株式会社東芝

2002年 1月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3001577

【書類名】 特許願

【整理番号】 A000105662

【提出日】 平成13年12月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/06

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 25

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 外園 明

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

 【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に互いに離間して形成され、それぞれ拡散領域を有する第 1、第 2 のトランジスタと、

前記半導体基板上に形成され、前記第 1、第 2 のトランジスタの相互間に設けられて前記第 1、第 2 のトランジスタを分離し、前記第 1、第 2 のトランジスタの前記拡散領域相互間で連続するように設けられ所定の幅を有する少なくとも 1 つのスリットを有する分離領域と、

前記少なくとも 1 つのスリット内に設けられた導電膜と、

前記第 1、第 2 のトランジスタの前記各拡散領域上にそれぞれ設けられ、前記各拡散領域と電氣的に接続された第 1、第 2 の部分と、前記分離領域の前記スリットに沿うようにして前記分離領域上に設けられ、前記第 1、第 2 の部分と一体化された第 3 の部分とからなる配線層

とを具備したことを特徴とする半導体装置。

【請求項 2】 半導体基板上に互いに離間して形成され、それぞれゲート電極と拡散領域とを有する第 1、第 2 の MOS トランジスタと、

前記半導体基板上に形成され、前記第 1、第 2 の MOS トランジスタの相互間に設けられて前記第 1、第 2 の MOS トランジスタを分離し、前記第 1、第 2 の MOS トランジスタの前記拡散領域相互間で連続するように設けられ所定の幅を有する少なくとも 1 つのスリットを有する分離領域と、

前記少なくとも 1 つのスリット内に設けられた導電膜と、

前記分離領域上に設けられたゲート電極と、

前記第 1、第 2 の MOS トランジスタの前記各拡散領域上にそれぞれ設けられ、前記各拡散領域と電氣的に接続された第 1、第 2 の部分と、前記分離領域の前記少なくとも 1 つのスリットに沿いかつ前記分離領域上に設けられた前記ゲート電極を跨ぐように設けられてこのゲート電極と電氣的に接続され、前記第 1、第 2 の部分と一体化された第 3 の部分とからなる配線層

とを具備したことを特徴とする半導体装置。

【請求項 3】 前記少なくとも 1 つのスリットは 1 つのスリットであることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記少なくとも 1 つのスリットは、互いに並行するように設けられた複数のスリットであることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 5】 前記スリットの幅の最小値が加工精度の最小寸法にされ、最大値が前記スリットが前記配線層の前記第 3 の部分によって実質的に埋め込むことができる最大の値にされていることを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 6】 前記スリットの幅の最小値が $0.03\mu\text{m}$ にされ、最大値が $0.1\mu\text{m}$ にされていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記少なくとも 1 つのスリットは、その底部が前記分離領域の底部にまでは達しないように設けられていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 8】 前記導電膜がシリコンを含む膜からなることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 9】 前記シリコンを含む膜が多結晶シリコンであることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 前記配線層は、下層がシリコン層、上層が金属シリサイド層からなる積層構造を有することを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 11】 前記配線層は、下層がシリコン・ゲルマニウム合金層、上層がシリコン・ゲルマニウム合金をシリサイド化した層からなる積層構造を有することを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 12】 前記配線層の前記第 3 の部分上に設けられたコンタクト部を具備したことを特徴とする請求項 1 記載の半導体装置。

【請求項 13】 半導体基板上に互いに離間して形成された第 1、第 2 の導電層と、

前記半導体基板上に形成され、前記第 1、第 2 の導電層の相互間に設けられて

前記第 1、第 2 の導電層を分離し、前記第 1、第 2 の導電層相互間で連続するよう
に設けられた少なくとも 1 つのスリットを有する分離領域と、

前記少なくとも 1 つのスリット内に設けられた導電膜と、

前記第 1、第 2 の導電層上にそれぞれ設けられ、前記第 1、第 2 の導電層のそ
れぞれと電氣的に接続された第 1、第 2 の部分と、前記分離領域の前記スリット
に沿うようにして前記分離領域上に設けられ、前記第 1、第 2 の部分と一体化さ
れた第 3 の部分とからなる配線層

とを具備したことを特徴とする半導体装置。

【請求項 1 4】 半導体基板上に分離領域を形成することで前記分離領域に
よって互いに分離された第 1、第 2 の素子領域を前記半導体基板に形成し、

前記分離領域内に前記第 1、第 2 の素子領域相互間で連続するように、所定の
幅を有する少なくとも 1 つのスリットを形成し、

エピタキシャル成長させる際の核となり得る材料からなる導電膜を全面に堆積
した後、前記導電膜を選択的に除去して前記第 1、第 2 の素子領域の一部領域上
にそれぞれ残すと共に前記少なくとも 1 つのスリット内に残し、

前記第 1、第 2 の素子領域の一部領域上にそれぞれ残された前記導電膜の周囲
をエピタキシャル成長させる際のブロックとなる材料で覆った後、エピタキシャ
ル成長法により、前記第 1 の素子領域上に第 1 の部分を有し、前記第 2 の素子領
域上に第 2 の部分を有し、前記分離領域の前記スリットに沿うように前記分離領
域上に位置し前記第 1、第 2 の部分と一体化された第 3 の部分とを有する配線層
を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 1 5】 半導体基板上に分離領域を形成することで前記分離領域に
よって互いに分離された第 1、第 2 の素子領域を前記半導体基板に形成し、

前記分離領域内に前記第 1、第 2 の素子領域相互間で連続するように、所定の
幅を有する少なくとも 1 つのスリットを形成し、

エピタキシャル成長させる際の核となり得る材料からなる導電膜を全面に堆積
した後、前記導電膜を選択的に除去して前記第 1、第 2 の素子領域の一部領域上
及び前記分離領域の一部領域上にそれぞれ残すと共に前記少なくとも 1 つのスリ

ット内に残し、

前記第 1、第 2 の素子領域の一部領域上及び前記分離領域の一部領域上にそれぞれ残された前記導電膜の周囲をエピタキシャル成長させる際のブロックとなる材料で覆い、

前記分離領域の一部領域上に残された前記導電膜を覆う前記ブロックとなる材料のうち前記分離領域内に形成された前記少なくとも 1 つのスリット近傍に位置する部分の前記ブロックとなる材料を選択的に除去し、

エピタキシャル成長法により、前記第 1 の素子領域上に第 1 の部分を有し、前記第 2 の素子領域上に第 2 の部分を有し、前記分離領域内の前記スリットに沿いかつ前記ブロックとなる材料が除去された前記分離領域の一部領域上の前記導電膜を跨ぐように連続して前記第 1、第 2 の部分と一体化された第 3 の部分とを有する配線層を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 1 6】 前記分離領域内に前記少なくとも 1 つのスリットを形成する際に 1 つのスリットを形成することを特徴とする請求項 1 4 または 1 5 記載の半導体装置の製造方法。

【請求項 1 7】 前記分離領域内に前記少なくとも 1 つのスリットを形成する際に、互いに並行するように複数のスリットを形成することを特徴とする請求項 1 4 または 1 5 記載の半導体装置の製造方法。

【請求項 1 8】 前記スリットは、その幅の最小値が加工精度の最小寸法となり、最大値が前記スリットが前記配線層の前記第 3 の部分によって実質的に埋め込むことができる最大の値となるよう形成されることを特徴とする請求項 1 6 または 1 7 記載の半導体装置の製造方法。

【請求項 1 9】 前記スリットは、その幅の最小値が $0.03\mu\text{m}$ となり、最大値が $0.1\mu\text{m}$ となるように形成されることを特徴とする請求項 1 8 記載の半導体装置の製造方法。

【請求項 2 0】 前記分離領域内に前記少なくとも 1 つのスリットを形成する際に、その底部が前記分離領域の底部にまでは達しないように形成されることを特徴とする請求項 1 4 または 1 5 記載の半導体装置の製造方法。

【請求項 2 1】 前記導電膜はシリコンを含む膜で形成されることを特徴とする請求項 1 4 または 1 5 記載の半導体装置の製造方法。

【請求項 2 2】 前記シリコンを含む膜が多結晶シリコンで形成されることを特徴とする請求項 1 4 または 1 5 記載の半導体装置の製造方法。

【請求項 2 3】 前記配線層は、下層がシリコン層、上層が金属シリサイド層からなる積層構造を有するように形成されることを特徴とする請求項 1 4 または 1 5 記載の半導体装置の製造方法。

【請求項 2 4】 前記配線層は、下層がシリコン・ゲルマニウム合金層、上層がシリコン・ゲルマニウム合金をシリサイド化した層からなる積層構造を有するように形成されることを特徴とする請求項 1 4 または 1 5 記載の半導体装置の製造方法。

【請求項 2 5】 前記配線層の前記第 3 の部分上にコンタクト部を形成することを特徴とする請求項 1 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、nチャネル及びpチャネルのMOSトランジスタを有する半導体装置及びその製造方法に係り、特にMOSトランジスタの拡散領域同士が配線層によって接続される半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

L S I の高性能化に対する要求が強くなっており、一方、半導体プロセス技術においてはますますの微細化技術が必要とされている。このような状況において、L S I の高密度化は不可欠となっており、可能な限りのスケーリングを進めていく必要がある。

【0 0 0 3】

L S I 中では、隣り合う領域、例えばn型領域とp型領域領域とを電氣的に接続するための配線パターンが多く存在している。この場合、n型領域とp型領域領域とはS T I (Shallow Trench Isolation) によって互いに分離されており、

上層のメタル配線を用いて両領域が接続される。

【 0 0 0 4 】

S R A M (Static Random Access Memory) においては、ローカル・インターコネクト (Local Interconnect) のように、M O S トランジスタのソース、ゲート電極及びドレインを相互に接続する配線パターンが存在している。このローカル・インターコネクトは、ソース、ゲート電極及びドレイン上の層間絶縁膜に対して大きな開口を有する開口部が形成され、この開口部が導電性材料で埋め込まれることで形成される。

【 0 0 0 5 】

図 2 2 は、上記ローカル・インターコネクトを有する従来の半導体装置の一例を示す断面図である。p 型基板 5 1 上には p 型ウエル領域 5 2、n 型ウエル領域 5 3 が形成され、p 型ウエル領域 5 2 内には n チャネル M O S トランジスタ 5 4 のソース、ドレインとなる n 型領域 5 5 が形成され、n 型ウエル領域 5 3 内には p チャネル M O S トランジスタ 5 6 のソース、ドレインとなる p 型領域 5 7 が形成されている。さらに基板 5 1 上には上記両 M O S トランジスタを分離するための S T I 5 8 が形成されている。M O S トランジスタ 5 4、5 6 それぞれの一对の n 型領域 5 5 相互間及び p 型領域 5 7 相互間のチャネル領域上にはそれぞれゲート電極 5 9 が形成されている。さらに S T I 5 8 上にも、この S T I 5 8 上を通過する他の M O S トランジスタのゲート電極 5 9 が形成されている。また全面に層間絶縁膜 6 0 が形成されている。そして、この層間絶縁膜 6 0 に対し、上記 S T I 5 8 上のゲート電極 5 9 とその両側に配置された M O S トランジスタ 5 4、5 6 それぞれのソースもしくはドレインとなる各一方の n 型領域 5 5 及び p 型領域 5 7 の一部が露出するように開口部 6 1 が形成され、さらにこの開口部 6 1 内が導電性材料 6 2 で埋め込まれることでインターコネクトが形成される。

【 0 0 0 6 】

図 2 2 に示すような半導体装置を製造する際、開口部 6 1 は反応性イオンエッチング (R I E : Reactive Ion Etching) 技術により形成されるので、拡散領域との境界部分における S T I 5 8 が一部エッチングされてしまう。これにより、インターコネクトと基板 5 1 との間でリーク電流が生じるという不都合が生じる

【0007】

一方、ローカル・インターコネクトを有する半導体装置として、従来では、特開2000-114262に記載されたものが知られている。この半導体装置は、シリコン膜の選択成長技術及び選択エッチング技術を用いて形成される配線により、STIによって分離された一对の拡散領域同士を接続するものである。

【0008】

すなわち、図23に示すように、p型基板51上にp型ウエル領域52、n型ウエル領域53が形成され、p型ウエル領域52内にはnチャネルMOSトランジスタのソース、ドレインとなるn型領域55が形成され、n型ウエル領域53内にはpチャネルMOSトランジスタのソース、ドレインとなるp型領域57が形成されている。さらに全面にアモルファスシリコン膜が堆積され、このアモルファスシリコン膜を種に選択成長が行われて単結晶シリコン膜が形成され、その後、インターコネクト形成部以外のアモルファスシリコン膜が除去され、インターコネクト形成部のアモルファスシリコン膜と単結晶シリコン膜の領域にシリサイド膜からなるインターコネクト63が残される。このインターコネクト63はSTI58を跨いで形成される。

【0009】

図23に示す半導体装置では、層間絶縁膜をエッチングして開口部を形成する必要がないので、基板がエッチングされることによるインターコネクトと基板との間のリーク電流の発生が防止できる。

【0010】

しかし、インターコネクト63を形成するためのエピタキシャル選択膜を所望のパターン形状に残すことは極めて困難である。

【0011】

【発明が解決しようとする課題】

このように従来の半導体装置では、分離領域によって互いに隔てられた拡散領域同士を配線によって接続する際に、接合リークが発生する問題や、配線層を選択的に形成することが困難であるという不都合がある。

【 0 0 1 2 】

この発明は上記のような事情を考慮してなされたものであり、その目的は、分離領域によって互いに隔てられた拡散領域同士を配線によって接続する際に、接合リークが発生する恐れがない半導体装置及びその製造方法を提供することである。

【 0 0 1 3 】

【課題を解決するための手段】

この発明の半導体装置は、半導体基板上に互いに離間して形成され、それぞれ拡散領域を有する第1、第2のトランジスタと、前記半導体基板上に形成され、前記第1、第2のトランジスタの相互間に設けられて前記第1、第2のトランジスタを分離し、前記第1、第2のトランジスタの前記拡散領域相互間で連続するように設けられ所定の幅を有する少なくとも1つのスリットを有する分離領域と、前記少なくとも1つのスリット内に設けられた導電膜と、前記第1、第2のトランジスタの前記各拡散領域上にそれぞれ設けられ、前記各拡散領域と電氣的に接続された第1、第2の部分と、前記分離領域の前記スリットに沿うようにして前記分離領域上に設けられ、前記第1、第2の部分と一体化された第3の部分とからなる配線層とを具備したことを特徴とする。

【 0 0 1 4 】

この発明の半導体装置は、半導体基板上に互いに離間して形成され、それぞれゲート電極と拡散領域とを有する第1、第2のMOSトランジスタと、前記半導体基板上に形成され、前記第1、第2のMOSトランジスタの相互間に設けられて前記第1、第2のMOSトランジスタを分離し、前記第1、第2のMOSトランジスタの前記拡散領域相互間で連続するように設けられ所定の幅を有する少なくとも1つのスリットを有する分離領域と、前記少なくとも1つのスリット内に設けられた導電膜と、前記分離領域上に設けられたゲート電極と、前記第1、第2のMOSトランジスタの前記各拡散領域上にそれぞれ設けられ、前記各拡散領域と電氣的に接続された第1、第2の部分と、前記分離領域の前記少なくとも1つのスリットに沿いかつ前記分離領域上に設けられた前記ゲート電極を跨ぐように設けられてこのゲート電極と電氣的に接続され、前記第1、第2の部分と一体

化された第3の部分とからなる配線層とを具備したことを特徴とする。

【0015】

この発明の半導体装置の製造方法は、半導体基板上に分離領域を形成することで前記分離領域によって互いに分離された第1、第2の素子領域を前記半導体基板に形成し、前記分離領域内に前記第1、第2の素子領域相互間で連続するように、所定の幅を有する少なくとも1つのスリットを形成し、エピタキシャル成長させる際の核となり得る材料からなる導電膜を全面に堆積した後、前記導電膜を選択的に除去して前記第1、第2の素子領域の一部領域上にそれぞれ残すと共に前記少なくとも1つのスリット内に残し、前記第1、第2の素子領域の一部領域上にそれぞれ残された前記導電膜の周囲をエピタキシャル成長させる際のブロックとなる材料で覆った後、エピタキシャル成長法により、前記第1の素子領域上に第1の部分の有し、前記第2の素子領域上に第2の部分の有し、前記分離領域の前記スリットに沿うように前記分離領域上に位置し前記第1、第2の部分と一体化された第3の部分とを有する配線層を形成することを特徴とする。

【0016】

この発明の半導体装置の製造方法は、半導体基板上に分離領域を形成することで前記分離領域によって互いに分離された第1、第2の素子領域を前記半導体基板に形成し、前記分離領域内に前記第1、第2の素子領域相互間で連続するように、所定の幅を有する少なくとも1つのスリットを形成し、エピタキシャル成長させる際の核となり得る材料からなる導電膜を全面に堆積した後、前記導電膜を選択的に除去して前記第1、第2の素子領域の一部領域上及び前記分離領域の一部領域上にそれぞれ残すと共に前記少なくとも1つのスリット内に残し、前記第1、第2の素子領域の一部領域上及び前記分離領域の一部領域上にそれぞれ残された前記導電膜の周囲をエピタキシャル成長させる際のブロックとなる材料で覆い、前記分離領域の一部領域上に残された前記導電膜を覆う前記ブロックとなる材料のうち前記分離領域内に形成された前記少なくとも1つのスリット近傍に位置する部分の前記ブロックとなる材料を選択的に除去し、エピタキシャル成長法により、前記第1の素子領域上に第1の部分の有し、前記第2の素子領域上に第2の部分の有し、前記分離領域内の前記スリットに沿いかつ前記ブロックとなる

材料が除去された前記分離領域の一部領域上の前記導電膜を跨ぐように連続して前記第 1、第 2 の部分と一体化された第 3 の部分とを有する配線層を形成することを特徴とする。

【0017】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態を詳細に説明する。

【0018】

図 1 は、この発明の第 1 の実施の形態による半導体装置の一部の構成を示す斜視図である。

【0019】

p 型のシリコン半導体基板 11 上には p ウエル領域 12 と n ウエル領域 13 とが設けられている。また、基板 11 上には STI 14 が選択的に設けられ、上記 p ウエル領域 12 と n ウエル領域 13 とはこの STI 14 により分離されている。上記 p ウエル領域 12 内には n チャネル MOS トランジスタ 15 が設けられ、n ウエル領域 13 内には p チャネル MOS トランジスタ 16 が設けられている。上記 n チャネル MOS トランジスタ 15 は、p ウエル領域 12 内に形成されソース及びドレインとなる一対の n 型拡散領域 17 と、ソース、ドレイン間のチャネル領域上に位置するように設けられた例えばポリシリコンからなるゲート電極 18 とを有する。なお、上記一対の n 型拡散領域 17 のそれぞれは、浅い接合深さを有する第 1 の拡散領域と、深い接合深さを有する第 2 の拡散領域とからなる。上記 p チャネル MOS トランジスタ 16 は、n ウエル領域 13 内に形成されソース及びドレインとなる一対の p 型拡散領域 19 と、ソース、ドレイン間のチャネル領域上に位置するように設けられた例えばポリシリコンからなるゲート電極 18 とを有する。なお、上記一対の p 型拡散領域 19 のそれぞれも、浅い接合深さを有する第 1 の拡散領域と、深い接合深さを有する第 2 の拡散領域とからなる。

【0020】

また、上記両 MOS トランジスタ 15、16 のゲート電極 18 の側壁上にはシリコン酸化膜、シリコン窒化膜などからなるゲート側壁 20 が設けられている。

【0021】

後に説明するように、上記STI14内には、このSTI14を挟んでその両側に位置するn型拡散領域17とp型拡散領域19相互間で連続するように1つのスリットが設けられている。このスリットは内壁部を有し、かつ所定の幅を有している。そして、このスリットの内壁部上には、上記両MOSトランジスタ15、16のゲート電極18を構成するものと同じ材料、つまりポリシリコンからなる導電膜が設けられている。また、このスリットは、その底部がSTI14の底部にまでは達しないように設けられている。

【0022】

さらに、上記STI14を挟んでその両側に位置するn型拡散領域17とp型拡散領域19上には、エピタキシャル成長によって形成されたシリコンを含む材料からなる配線層22の第1の部分22aと第2の部分22bとが設けられている。上記配線層22の第1の部分22aは上記n型拡散領域17と電氣的に接続され、第2の部分22bは上記p型拡散領域19と電氣的に接続されている。また、上記STI14上には、STI14内のスリットに沿うように配線層22の第3の部分22cが設けられている。この第3の部分22cは上記第1、第2の部分22a、22bと一体化されている。

【0023】

なお、図示しないが、上記配線層22は、例えば、下層がシリコン層、上層が金属シリサイド層からなる積層構造、もしくは下層がシリコン・ゲルマニウム合金層、上層が金属シリサイド層からなる積層構造を有している。また、ゲート電極18も上部がシリサイド化されている。

【0024】

次に、図1に示すような構成の半導体装置の製造方法について、図2ないし図9を参照して説明する。

【0025】

まず、図2の断面図に示すように、例えばp型のシリコン半導体基板11上にシリコン窒化膜31及びシリコン酸化膜32が順次堆積され、次に露光プロセスにより、このシリコン窒化膜31及びシリコン酸化膜32からなる積層膜33が所定のパターン形状に残される。続いて、この残された積層膜33をマスクに用

いた異方性エッチング法、例えば反応性イオンエッチングにより基板 1 1 がエッチングされて、深さが 200~350 nm の素子分離用溝 3 4 が形成される。

【 0 0 2 6 】

次に、図 3 の断面図に示すように、例えば CVD 法などによりシリコン酸化膜などの埋め込み用絶縁膜 3 5 が全面に堆積され、上記素子分離用溝 3 4 がこの埋め込み用絶縁膜 3 5 により埋め込まれる。

【 0 0 2 7 】

続いて、図 4 の断面図に示すように、CMP (Chemical Mechanical Polishing) が行われることで平坦化処理が行われる。

【 0 0 2 8 】

次に、図 5 の断面図に示すように、例えば 160℃ に加熱されたリン酸で処理されることでシリコン窒化膜 3 1 が除去され、STI 1 4 が形成される。この後、基板 1 1 に p 型ウエル領域 1 2 と n 型ウエル領域 1 3 が形成される。

【 0 0 2 9 】

続いて、図 6 の斜視図に示すように、前記スリットを形成するために、このスリットのパターンに対応したパターンを有するようにレジストパターニングが行われ、続いてこのレジストを用いた反応性イオンエッチングにより STI 1 4 内の埋め込み用絶縁膜 3 5 が 30~100 nm エッチバックされることで 1 つのスリット 3 6 が形成される。このスリット 3 6 の幅 W は例えば 0.03~0.1 μ m にされる。スリット 3 6 の幅 W の最小値 0.03 μ m は加工精度の最小寸法に該当し、最大値 0.1 μ m は、この後にこのスリット 3 6 に埋め込まれる前記配線層 2 2 の前記第 3 の部分 2 2 c によって実質的に埋め込むことができる最大の値に該当する。

【 0 0 3 0 】

次に、n, p 両 MOS トランジスタのチャネル領域となる部分にしきい値調整用の不純物イオンが注入され、続いて熱酸化法あるいは LP-CVD 法によって、全面に 0.5~3.0 nm の膜厚でゲート絶縁膜 3 7 が形成される。続いて、全面に 50~200 nm の膜厚でポリシリコン膜 3 8 が堆積され、次に、光リソグラフィー法、X 線リソグラフィー法、あるいは電子ビームリソグラフィー法によって、上記ポリシリコン膜 3 8 をパターニングするためのエッチング用マスクが形成され

、続いてこのマスクを用いた反応性イオンエッチングにより、上記ポリシリコン膜38がエッチングされることで、図7の斜視図に示すようにゲート電極18が形成される。上記エッチングの後に、スリット36の内壁上にはポリシリコン膜38が残る。

【0031】

なお、上記ゲート絶縁膜37及びポリシリコン膜38が堆積された後にシリコン窒化膜が堆積され、この後、ポリシリコン膜38でゲート電極18を形成する際に、上記シリコン窒化膜をエッチングした後に、ポリシリコン膜38をエッチングすることで、図7の斜視図に示すようにゲート電極18の上部にシリコン窒化膜からなるキャップ材21が残されるようにしてもよい。このシリコン窒化膜からなるキャップ材21は、この後に行なわれるエピタキシャル成長の際のブロックとして使用できる。

【0032】

また、上記キャップ材21を形成しないで、その後、ゲート電極18上にエピタキシャル成長させるようにしてもよい。

【0033】

なお、上記ウェル領域の形成工程、MOSトランジスタのしきい値調整用の不純物イオンの注入工程は、スリット36を形成する前に行われるようにしてもよい。

【0034】

上記ゲート絶縁膜37としては、シリコン酸化膜ばかりでなくシリコン酸窒化膜、シリコン窒化膜、さらには高誘電体膜である Ta_2O_5 からなる膜等、あらゆる種類の絶縁膜を用いることができる。

【0035】

また、ゲート電極18上でエピタキシャル成長を行わせない場合には、ポリシリコン膜の代わりにTiN、WNをバリアメタルとして用いさらにWを用いたメタルゲート構造のゲート電極を形成するようにしてもよい。また、ゲート電極18をシリコン・ゲルマニウム合金を用いて形成するようにしてもよい。

【0036】

この後、熱酸化法によって、0.5～6 nmの膜厚の後酸化膜が全面に形成された後、n型及びp型の不純物イオンがp型ウエル領域12及びn型ウエル領域13にそれぞれ選択的に導入されることで、n型拡散領域17を構成する浅い接合深さを有する第1の拡散領域17a、p型拡散領域19を構成する浅い接合深さを有する第1の拡散領域19aがそれぞれ形成される。

【0037】

次に、図8の斜視図に示すように、LP-CVD法によって全面にゲート側壁材の堆積が行われ、続いて反応性イオンエッチングによりエッチバックされることで、ゲート電極18の側壁上にゲート側壁20が形成される。上記ゲート側壁材としてはシリコン酸化膜、シリコン窒化膜、あるいはその組み合わせからなる膜が使用できる。

【0038】

次に、自然酸化膜除去のために水素雰囲気中で高温処理が行われた後、エピタキシャル成長法により単結晶シリコンの選択成長が行われる。例えば、水素雰囲気中で全体が650～800℃に加熱され、 SiH_4 、 SiH_2Cl_2 、 SiHCl_3 等の反応ガスが水素とともに供給されることで、基板11上のシリコンが露出している部分に単結晶シリコン膜が形成される。また、この選択成長の際に、シリコン以外に、シリコンとゲルマニウムからなる合金を成長させることもできる。

【0039】

このエピタキシャル成長により、図1の斜視図に示すように、n型拡散領域17及びp型拡散領域19上に単結晶シリコン膜からなる配線層22が形成され、特にSTI14を挟んでその両側に位置するn型拡散領域17上には配線層22の第1の部分22aが形成され、p型拡散領域19上には配線層22の第2の部分22bが形成される。

【0040】

さらに、このエピタキシャル成長の際に、STI14内に形成されたスリット36の内壁上に残っているポリシリコン膜38を核としてエピタキシャル成長が進み、まずスリット36の内部を埋めるようにシリコン膜が成長し、さらにスリット36の上部に突出するようにシリコン膜の成長が進むことで、スリット36

に沿うように配線層 2 2 の第 3 の部分 2 2 c が形成される。そして、この第 3 の部分 2 2 c は、最終的には上記第 1 の部分 2 2 a 及び第 2 の部分 2 2 b と一体化される。

【0 0 4 1】

次に、キャップ材 2 1 が存在する場合には、希フッ酸によってこのキャップ材 2 1 を除去した後、配線層 2 2 の上から n 型不純物及び p 型不純物が拡散されて、n 型拡散領域 1 7 を構成する深い接合深さを有する第 2 の拡散領域 1 7 b 及び p 型拡散領域 1 9 を構成する深い接合深さを有する第 2 の拡散領域 1 9 b が形成される。このとき、同時にゲート電極 1 8 にも不純物が導入される。

【0 0 4 2】

図 9 は、図 1 中の A - A ' 線に沿った断面を詳細に示している。次に、この図 9 の断面図に示すように、上記配線層 2 2 上に例えば Ti、Co、Ni、Pd などの金属膜が形成された後、加熱処理が行われることで配線層 2 2 の上部に金属シリサイド層 4 0 が形成される。なお、配線層 2 2 を形成する際の選択成長時に、シリコンの代わりに例えばシリコンとゲルマニウムからなる合金を成長させた場合には、シリサイド層 4 0 に相当するものとしてシリコンとゲルマニウムからなる合金をシリサイド化した層が形成される。このとき、ゲート電極 1 8 の上部にも金属膜が形成され、その後、ゲート電極 1 8 の上部に金属シリサイド層 4 0 が形成される。

【0 0 4 3】

上記第 1 の実施の形態の半導体装置及びその製造方法によれば、STI 1 4 を挟んでその両側に設けられた n チャンネル MOS トランジスタの n 型拡散領域 1 7 と p チャンネル MOS トランジスタの p 型拡散領域 1 9 とを接続する配線層 2 2 は、n 型拡散領域 1 7 上、p 型拡散領域 1 9 上及び STI 1 4 上に渡って連続して設けられている。すなわち、コンタクトが STI エッジ部分に形成されることがないため、従来のような接合リークの問題は解消される。

【0 0 4 4】

また、コンタクト形成のためのスペースを拡散領域上に確保する必要がないので、回路面積を大きく低減させることができる。STI 1 4 を挟んだ一対の拡散

領域 1 7、1 9 相互間を接続する配線層 2 2 の第 3 の部分 2 2 c の占有面積にもよるが、SRAM などでは回路面積を 1 0 % ~ 2 0 % 低減することができる。

【 0 0 4 5 】

図 1 0 は、この発明の第 2 の実施の形態による半導体装置の一部の構成を示す斜視図である。この第 2 の実施の形態の半導体装置は、図 1 に示す第 1 の実施の形態による半導体装置とは一部の構成が異なるだけなので、図 1 と対応する箇所には同じ符号を付してその説明は省略し、図 1 と異なる点のみを以下に説明する。

【 0 0 4 6 】

図 1 0 に示す半導体装置が図 1 に示す半導体装置と異なる点は、前記 S T I 1 4 上に設けられた配線層 2 2 の第 3 の部分 2 2 c の幅 w 、つまり配線層 2 2 の第 1 の部分 2 2 a と第 2 の部分 2 2 b が並ぶ方向と交差する方向における第 3 の部分 2 2 c の寸法が、図 1 に示す半導体装置の場合よりも広くされている点である。

【 0 0 4 7 】

配線層 2 2 の第 3 の部分 2 2 c の幅 w を、図 1 のものよりも広くするために、図 1 0 の半導体装置では、後に説明するように、前記 S T I 1 4 内に、この S T I 1 4 を挟んでその両側に位置する n 型拡散領域 1 7 及び p 型拡散領域 1 9 相互間で連続するように複数のスリットが設けられている。これらの各スリットはそれぞれ内壁部を有しかつそれぞれ所定の幅を有している。そして、これら各スリットの内壁部上には、例えばポリシリコンからなる導電膜が設けられている。また、これら各スリットはそれぞれ、その底部が S T I 1 4 の底部にまでは達しないように設けられている。

【 0 0 4 8 】

次に、図 1 0 に示すような構成の半導体装置の製造方法について説明する。

【 0 0 4 9 】

基板 1 1 上に S T I 1 4 が形成されるまでの工程は、第 1 の実施の形態による図 2 ないし図 5 に示す工程と同様なのでこれらの説明は省略する。

【 0 0 5 0 】

STI14が基板11上に形成された後、図11の斜視図に示すように、複数のスリットを形成するために、これら複数のスリットのパターンに対応したパターンを有するようにレジストパターニングが行われ、続いてこのレジストを用いた反応性イオンエッチングによりSTI14内の埋め込み用絶縁膜35が30~100nmエッチバックされることで複数のスリット36が互いに並行するように形成される。本例では3個のスリット36が形成される場合を例示している。これらのスリット36の幅Wはそれぞれ、第1の実施の形態の場合と同様に例えば0.03~0.1 μ mにされる。

【0051】

次に、前記図7の工程と同様に、n、p両チャネルのMOSトランジスタのチャネル領域となる部分にしきい値調整用の不純物イオンが注入され、続いて熱酸化法あるいはLP-CVD法によって、全面に0.5~3.0nmの膜厚でゲート絶縁膜37が形成される。続いて、全面に50~200nmの膜厚で例えばポリシリコン膜38が堆積され、次に、光リソグラフィ法、X線リソグラフィ法、あるいは電子ビームリソグラフィ法によって、上記ポリシリコン膜38をパターニングするためのエッチング用マスクが形成され、続いてこのマスクを用いた反応性イオンエッチングにより、上記ポリシリコン膜38がエッチングされることで、図12の斜視図に示すようにゲート電極18が形成される。このとき、複数の各スリット36の内壁上にはそれぞれポリシリコン膜38が残る。

【0052】

図12の斜視図に示すように、図7に示す場合と同様、ゲート電極18の上部にシリコン窒化膜からなるキャップ材21が残されるようにしてもよい。このシリコン窒化膜からなるキャップ材21は、この後に行なわれるエピタキシャル成長の際のブロックとして使用できる。また、上記キャップ材21を形成しないで、その後、ゲート電極18上にエピタキシャル成長させるようにしてもよい。

【0053】

上記ゲート絶縁膜37としては、シリコン酸化膜ばかりでなくシリコン酸窒化膜、シリコン窒化膜、さらには高誘電体膜である Ta_2O_5 からなる膜等、あらゆる種類の絶縁膜を用いることができる。

【 0 0 5 4 】

また、ゲート電極 1 8 上でエピタキシャル成長を行わせない場合には、ポリシリコン膜の代わりに T i N、W N をバリアメタルとして用いさらに W を用いたメタルゲート構造のゲート電極を形成するようにしてもよい。また、ゲート電極 1 8 をシリコン・ゲルマニウム合金を用いて形成するようにしてもよい。

【 0 0 5 5 】

この後、熱酸化法によって、0.5～6 n m の膜厚の後酸化膜が全面に形成された後、n 型及び p 型の不純物イオンが p ウェル領域 1 2 及び n ウェル領域 1 3 に選択的に導入されることで n 型拡散領域 1 7 及び p 型拡散領域 1 9 を構成する浅い接合深さを有する第 1 の拡散領域 1 7 a 及び 1 9 a が形成される。

【 0 0 5 6 】

次に、図 1 3 の斜視図に示すように、L P - C V D 法によって全面にゲート側壁材の堆積が行われ、続いて反応性イオンエッチングによりエッチバックされることで、ゲート電極 1 8 の側壁上にゲート側壁 2 0 が形成される。上記ゲート側壁材としてはシリコン酸化膜、シリコン窒化膜、あるいはその組み合わせからなる膜が使用できる。

【 0 0 5 7 】

次に、自然酸化膜除去のために水素雰囲気中で高温処理が行われた後、エピタキシャル成長法により単結晶シリコンの選択成長が行われる。例えば、水素雰囲気中で全体が 650～800℃ に加熱され、 SiH_4 、 SiH_2Cl_2 、 SiHCl_3 等の反応ガスが水素とともに供給されることで、基板 1 1 上のシリコンが露出している部分に単結晶シリコン膜が形成される。また、この選択成長の際に、シリコン以外にシリコンとゲルマニウムからなる合金を成長させることもできる。

【 0 0 5 8 】

このエピタキシャル成長により、図 1 0 の斜視図に示すように、n 型拡散領域 1 7、p 型拡散領域 1 9 上に単結晶シリコン膜からなる配線層 2 2 が形成され、特に S T I 1 4 を挟んでその両側に位置する n 型拡散領域 1 4 上には配線層 2 2 の第 1 の部分 2 2 a が形成され、p 型拡散領域 1 9 上には配線層 2 2 の第 2 の部分 2 2 b が形成される。

【 0 0 5 9 】

さらに、このエピタキシャル成長の際に、S T I 1 4 内に形成された複数のスリット 3 6 の内壁上に残っているポリシリコン膜 3 8 を核としてエピタキシャル成長が進み、まずそれぞれのスリット 3 6 の内部を埋めるようにシリコン膜が成長し、さらにこれがスリット 3 6 の上部に突出し、これらが一体化するようにシリコン膜の成長が進むことで、複数のスリット 2 6 に沿うように配線層 1 8 の第 3 の部分 1 8 c が形成される。そして、この第 3 の部分 2 2 c は、最終的には上記第 1 の部分 2 2 a 及び第 2 の部分 2 2 b と一体化される。

【 0 0 6 0 】

次に、キャップ材 2 1 が存在する場合には、希フッ酸によってこのキャップ材 2 1 を除去し、配線層 2 2 の上から n 型不純物及び p 型不純物が拡散されて、n 型拡散領域 1 7 を構成する深い接合深さを有する第 2 の拡散領域 1 7 b 及び p 型拡散領域 1 9 を構成する深い接合深さを有する第 2 の拡散領域 1 9 b が形成される。

【 0 0 6 1 】

この後は、図 9 の断面図に示す場合と同様に、配線層 2 2 上に例えば T i 、 C o 、 N i 、 P d などの金属膜が形成された後、加熱処理が行われることで配線層 2 2 の上部に金属シリサイド層 4 0 が形成される。このとき、ゲート電極 1 8 の上部にも金属膜が形成され、その後、ゲート電極 1 8 の上部に金属シリサイド層 4 0 が形成される。なお、配線層 2 2 を形成する際の選択成長時に、シリコンの代わりに例えばシリコンとゲルマニウムからなる合金を成長させた場合には、シリサイド層 4 0 に相当するものとしてシリコンとゲルマニウムからなる合金をシリサイド化した層が形成される。

【 0 0 6 2 】

上記第 2 の実施の形態の半導体装置及びその製造方法によれば、第 1 の実施の形態と同様な効果が得られる上に、さらに、配線層 2 2 の第 1 の部分 2 2 a と第 2 の部分 2 2 b とを接続する第 3 の部分 2 2 c の幅が図 1 の場合よりも広くなるので、n 型拡散領域 1 7 と p 型拡散領域 1 9 とを接続する配線層 2 2 の配線抵抗を図 1 の場合よりも低くすることができるという効果が得られる。

【 0 0 6 3 】

図 1 4 は、この発明の第 3 の実施の形態による半導体装置の一部の構成を示す斜視図である。この第 3 の実施の形態の半導体装置は、前記図 1 0 に示す第 2 の実施の形態による半導体装置とは一部の構成が異なるだけなので、図 1 0 と対応する箇所には同じ符号を付してその説明は省略し、図 1 0 と異なる点のみを以下に説明する。

【 0 0 6 4 】

図 1 4 に示す半導体装置が図 1 0 に示す半導体装置と異なる点は、STI 1 4 上に別の MOS トランジスタのゲート電極 1 8 が設けられる点と、配線層 2 2 の第 3 の部分 2 2 c 上にコンタクトプラグ 4 1 が設けられ、上記別の MOS トランジスタのゲート電極 1 8 上にコンタクトプラグ 4 2 が設けられ、さらに上記両コンタクトプラグ 4 1、4 2 と接続された上層の配線層 4 3 が設けられることで第 3 の部分 2 2 c と上記別の MOS トランジスタのゲート電極 1 8 とが互いに接続される点である。

【 0 0 6 5 】

次に、図 1 4 に示すような構成の半導体装置の製造方法について説明する。

【 0 0 6 6 】

基板 1 1 上に STI 1 4 が形成されるまでの工程は、第 1 の実施の形態による図 2 ないし図 5 に示す工程と同様なのでこれらの説明は省略する。

【 0 0 6 7 】

STI 1 4 が基板 1 1 上に形成された後は、図 1 5 の斜視図に示すように、前記複数のスリットを形成するために、これら複数のスリットのパターンに対応したパターンを有するようにレジストパターンニングが行われ、続いてこのレジストを用いた反応性イオンエッチングにより STI 1 4 内の埋め込み用絶縁膜 3 5 が 30~100 nm エッチバックされることで複数のスリット 3 6 が形成される。本例では 3 個のスリット 3 6 が形成される場合を例示している。これらのスリット 3 6 の幅 W はそれぞれ、第 1 の実施の形態の場合と同様に例えば 0.03~0.1 μ m にされる。

【 0 0 6 8 】

次に、p, n両チャネルのMOSトランジスタのチャネル領域となる部分にしきい値調整用の不純物イオンが注入され、続いて熱酸化法あるいはLP-CVD法によって、全面に0.5~3.0nmの膜厚でゲート絶縁膜37が形成される。続いて、全面に50~200nmの膜厚でポリシリコン膜38が堆積され、次に、光リソグラフィ法、X線リソグラフィ法、あるいは電子ビームリソグラフィ法によって、上記ポリシリコン膜38をパターニングするためのエッチング用マスクが形成され、続いてこのマスクを用いた反応性イオンエッチング(RIE)法により、上記ポリシリコン膜38がエッチングされることで、図16の斜視図に示すようにゲート電極18が形成される。このエッチングの後に、STI14上にもゲート電極18が形成される。さらに、複数の各スリット36の内壁上にもそれぞれポリシリコン膜38が残る。この際に、図16の斜視図に示すように、図7に示す場合と同様、各ゲート電極18の上部にシリコン窒化膜からなるキャップ材21が残されるようにしてもよい。このシリコン窒化膜からなるキャップ材21は、この後に行なわれるエピタキシャル成長の際のブロックとして使用できる。また、上記キャップ材21を形成しないで、その後、ゲート電極18上でエピタキシャル成長を行わせるようにしてもよい。

【0069】

上記ゲート絶縁膜37としては、シリコン酸化膜ばかりでなくシリコン酸窒化膜、シリコン窒化膜、さらには高誘電体膜である Ta_2O_5 からなる膜等、あらゆる種類の絶縁膜を用いることができる。

【0070】

また、ゲート電極18上でエピタキシャル成長を行わせない場合には、ポリシリコン膜の代わりにTiN、WNをバリアメタルとして用いさらにWを用いたメタルゲート構造のゲート電極を形成するようにしてもよい。また、ゲート電極18をシリコン・ゲルマニウム合金を用いて形成するようにしてもよい。

【0071】

この後、熱酸化法によって、0.5~6nmの膜厚の後酸化膜が全面に形成された後、n型及びp型の不純物イオンがp型ウエル領域12及びp型ウエル領域13に選択的に導入されることでn型拡散領域17を構成する浅い接合深さを有す

る第1の拡散領域17a及びp型拡散領域19を構成する浅い接合深さを有する第1の拡散領域19aが形成される。

【0072】

次に、図17の斜視図に示すように、LP-CVD法によって全面にゲート側壁材の堆積が行われ、続いて反応性イオンエッチングによりエッチバックされることで、各ゲート電極18の側壁上にゲート側壁20が形成される。上記ゲート側壁材としてはシリコン酸化膜、シリコン窒化膜、あるいはその組み合わせからなる膜が使用できる。

【0073】

次に、自然酸化膜除去のために水素雰囲気中で高温処理が行われた後、エピタキシャル成長法により単結晶シリコンの選択成長が行われる。例えば、水素雰囲気中で全体が650～800℃に加熱され、 SiH_4 、 SiH_2Cl_2 、 SiHCl_3 等の反応ガスが水素とともに供給されることで、基板11上のシリコンが露出している部分に単結晶シリコン膜が形成される。また選択成長の際に、シリコン以外にシリコンとゲルマニウムからなる合金を成長させることもできる。

【0074】

このエピタキシャル成長により、図18の斜視図に示すように、n型拡散領域17及びp型拡散領域19上に単結晶シリコン膜からなる配線層22が形成され、特にSTI14を挟んでその両側に位置するn型拡散領域17上には配線層22の第1の部分22aが形成され、p型拡散領域19上には配線層22の第2の部分22bが形成される。

【0075】

さらに、このエピタキシャル成長の際に、STI14内に形成された複数のスリット36の内壁上に残っているポリシリコン膜38を核としてエピタキシャル成長が進み、まずそれぞれのスリット36の内部を埋めるようにシリコン膜が成長し、さらにこれがスリット36の上部に突出し、これらが一体化するようにシリコン膜の成長が進むことで、複数のスリット36に沿うように配線層22の第3の部分22cが形成される。そして、この第3の部分22cは、最終的には上記第1の部分22a及び第2の部分22bと一体化される。

【0076】

次に、キャップ材 21 が存在する場合には、希フッ酸によってこのキャップ材 21 を除去し、配線層 22 の上から n 型不純物及び p 型不純物が拡散されて、n 型拡散領域 17 を構成する深い接合深さを有する第 2 の拡散領域 17b 及び p 型拡散領域 19 を構成する深い接合深さを有する第 2 の拡散領域 19b が形成される。このとき、同時にゲート電極 18 の上部にも不純物が導入される。

【0077】

この後は、図 9 の断面図に示す場合と同様に、配線層 22 上に例えば Ti、Co、Ni、Pd などの金属膜が形成された後、加熱処理が行われることで配線層 22 の上部に金属シリサイド層 40 が形成される。このとき、ゲート電極 18 の上部にも金属膜が形成され、その後、ゲート電極 18 の上部に金属シリサイド層 40 が形成される。

【0078】

なお、配線層 22 を形成する際の選択成長時に、シリコンの代わりに例えばシリコンとゲルマニウムからなる合金を成長させた場合には、シリサイド層 40 に相当するものとしてシリコンとゲルマニウムからなる合金をシリサイド化した層が形成される。

【0079】

続いて、全面に層間絶縁膜が堆積された後、この層間絶縁膜に対し、前記配線層 22 の第 3 の部分 22c に対応する位置及び STI 14 上に形成されたゲート電極 18 に対応する位置にそれぞれ開口部が形成され、さらにこれらの開口部を埋めるように上層配線用の金属が全面に堆積され、続いて上層配線用の金属がパターニングされることで、図 14 に示されるようなコンタクトプラグ 41、42 と上層の配線層 43 が形成される。

【0080】

上記第 3 の実施の形態の半導体装置及びその製造方法によれば、第 1 の実施の形態と同様な効果が得られる上に、さらに、配線層 22 の第 3 の部分 22c の幅が広いので、この部分にコンタクトを設ける際に、容易にこれを設けることができるという効果が得られる。

【0081】

図19は、この発明の第4の実施の形態による半導体装置の一部の構成を示す斜視図である。この第4の実施の形態の半導体装置は、前記図14に示す第3の実施の形態による半導体装置とは一部の構成が異なるだけなので、図14と対応する箇所には同じ符号を付してその説明は省略し、図14と異なる点のみを以下に説明する。

【0082】

図19に示す半導体装置が図14に示す半導体装置と異なる点は、前記STI14上に設けられる配線層22の第3の部分22cが、前記STI14内の複数のスリット36に沿うように設けられ、かつSTI14上に設けられた前記別のゲート電極18を跨ぐように設けられてこのゲート電極18と電気的に接続され、さらに前記配線層22の第1、第2の部分22a、22bと一体化されている点である。

【0083】

次に、図19に示すような構成の半導体装置の製造方法について説明する。

【0084】

基板11上にSTI14が形成されるまでの工程は、第1の実施の形態による図2ないし図5に示す工程と同様なのでこれらの説明は省略する。

【0085】

さらに、STI14内に複数のスリット36が形成され、ゲート電極18、n型拡散領域17、p型拡散領域19を構成する深い接合深さを有する第2の拡散領域17b、19bが形成されるまでの工程は、基本的には第3の実施の形態による図15ないし図17に示す工程と同様なのでこれらの説明も省略する。ただし、図17の場合と異なる点は、図20の斜視図に示すように、STI14上に形成されるゲート電極18は、複数のスリット36を横断するようにSTI14の延長方向と同じ方向に延長して形成される。この場合にも、ゲート電極18を形成するためのポリシリコン膜38を堆積する際に、複数のスリット36の各内壁上にもポリシリコン膜38が堆積される。

【0086】

図 2 0 の斜視図に示すように、LP-CVD 法によって全面にゲート側壁材の堆積が行われ、続いて反応性イオンエッチングによりエッチバックされることで、各ゲート電極 1 8 の側壁上にゲート側壁 2 0 が形成される。上記ゲート側壁材としてはシリコン酸化膜、シリコン窒化膜、あるいはその組み合わせからなる膜が使用できる。続いて、n 型、p 型の不純物イオンが p 型ウエル領域 1 2、n 型ウエル領域 1 3 に選択的に導入されることで、n 型拡散領域 1 7 及び p 型拡散領域 1 9 を構成する深い接合深さを有する第 2 の拡散領域 1 7 b 及び 1 9 b が形成される。

【0 0 8 7】

次に、図 2 1 の斜視図に示すように、STI 1 4 上のゲート電極 1 8 と複数のスリット 3 6 とが交差する位置でゲート側壁 2 0 が選択的に除去される。

【0 0 8 8】

この後、エピタキシャル成長法が行われることで配線層 2 2 が形成される。

【0 0 8 9】

次に、キャップ材 2 1 が存在する場合には、希フッ酸によってこのキャップ材 2 1 を除去し、配線層 2 2 の上から n 型不純物及び p 型不純物が拡散されて、n 型拡散領域 1 7 を構成する深い接合深さを有する第 2 の拡散領域 1 7 b 及び p 型拡散領域 1 9 を構成する深い接合深さを有する第 2 の拡散領域 1 9 b が形成される。このとき、同時にゲート電極 1 8 にも不純物が導入される。

【0 0 9 0】

さらに図 9 に示す工程と同様に、上記配線層 2 2 上に例えば Ti、Co、Ni、Pd などの金属膜が形成された後、加熱処理が行われることで配線層 2 2 の上部に金属シリサイド層 4 0 が形成されることにより、図 1 9 に示す構造が得られる。このとき、ゲート電極 1 8 の上部にも金属膜が形成され、その後、ゲート電極 1 8 の上部に金属シリサイド層 4 0 が形成される。なお、配線層 2 2 を形成する際の選択成長時に、シリコンの代わりに例えばシリコンとゲルマニウムからなる合金を成長させた場合には、シリサイド層 4 0 に相当するものとしてシリコンとゲルマニウムからなる合金をシリサイド化した層が形成される。

【0 0 9 1】

上記第 4 の実施の形態の半導体装置及びその製造方法によれば、第 1 の実施の形態と同様な効果が得られる上に、さらに、図 1 4 中のコンタクトプラグ 4 1、4 2 及び上層の配線層 4 3 と同様の機能を配線層 2 2 の第 3 の部分 2 2 c に持たすことができるので、コンタクトプラグや上層の配線層を用いずに n 型拡散領域 1 7 及び p 型拡散領域 1 9 と別の MOS トランジスタのゲート電極 1 8 とが接続できるという効果が得られる。

【 0 0 9 2 】

なお、この発明は上記各実施の形態に限定されるものではなく種々の変形が可能であることはいうまでもない。例えば上記各実施の形態では、配線層 2 2 によって接続される MOS トランジスタの拡散領域が互いに異なる導電型である場合を説明したが、チャネル型が同じ MOS トランジスタの同じ導電型の拡散領域同士が配線層 2 2 によって接続されるようにしてもよい。

【 0 0 9 3 】

また、上記各実施の形態では、配線層 2 2 を用いて異なる MOS トランジスタのソース、ドレインとなる一対の拡散領域同士を接続する場合について説明したが、これは STI によって互いに分離され、基板内に形成された拡散領域からなり配線として使用される一対の導電層同士を、上記配線層 2 2 を用いて接続する場合にも容易に適用することができる。

【 0 0 9 4 】

また、上記各実施の形態では、基板として p 型基板を用いる場合について説明したが、これは n 型基板を用いるようにしてもよい。

【 0 0 9 5 】

【発明の効果】

以上説明したようにこの発明によれば、分離領域によって互いに隔てられた拡散領域同士を配線によって接続する際に、接合リークを生じる恐れがない半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施の形態による半導体装置の一部の構成を示す斜視図。

【図 2】

図 1 に示す半導体装置の製造する際の最初の製造工程を示す断面図。

【図 3】

図 2 に続く製造工程を示す断面図。

【図 4】

図 3 に続く製造工程を示す断面図。

【図 5】

図 4 に続く製造工程を示す断面図。

【図 6】

図 5 に続く製造工程を示す斜視図。

【図 7】

図 6 に続く製造工程を示す斜視図。

【図 8】

図 7 に続く製造工程を示す斜視図。

【図 9】

図 1 中の A - A ' 線に沿った詳細な断面構造を示す図。

【図 1 0】

この発明の第 2 の実施の形態による半導体装置の一部の構成を示す斜視図。

【図 1 1】

図 1 0 に示す半導体装置の製造する際の途中の製造工程を示す斜視図。

【図 1 2】

図 1 1 に続く製造工程を示す斜視図。

【図 1 3】

図 1 2 に続く製造工程を示す斜視図。

【図 1 4】

この発明の第 3 の実施の形態による半導体装置の一部の構成を示す斜視図。

【図 1 5】

図 1 4 に示す半導体装置の製造する際の途中の製造工程を示す斜視図。

【図 1 6】

図 1 5 に続く製造工程を示す斜視図。

【図 1 7】

図 1 6 に続く製造工程を示す斜視図。

【図 1 8】

図 1 7 に続く製造工程を示す斜視図。

【図 1 9】

この発明の第 4 の実施の形態による半導体装置の一部の構成を示す斜視図。

【図 2 0】

図 1 9 に示す半導体装置の製造する際の途中の製造工程を示す斜視図。

【図 2 1】

図 2 0 に続く製造工程を示す斜視図。

【図 2 2】

従来の半導体装置の一例を示す断面図。

【図 2 3】

図 2 2 とは異なる従来の半導体装置の一例を示す断面図。

【符号の説明】

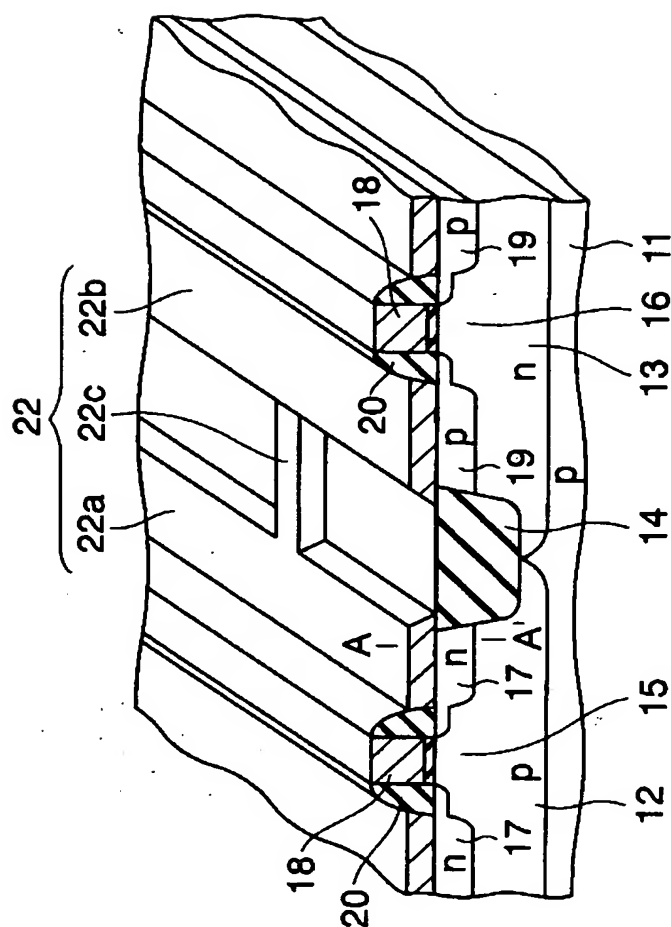
- 1 1 … p 型のシリコン半導体基板、
- 1 2 … p 型ウエル領域、
- 1 3 … n 型ウエル領域、
- 1 4 … S T I、
- 1 5 … n チャネル M O S トランジスタ、
- 1 6 … p チャネル M O S トランジスタ、
- 1 7 … n 型拡散領域、
- 1 8 … ゲート電極、
- 1 9 … p 型拡散領域、
- 2 0 … ゲート側壁、
- 2 1 … キャップ材、
- 2 2 … 配線層、
- 2 2 a … 配線層の第 1 の部分、

- 2 2 b … 配線層の第 2 の部分、
- 2 2 c … 配線層の第 3 の部分、
- 3 1 … シリコン窒化膜、
- 3 2 … シリコン酸化膜、
- 3 3 … 積層膜、
- 3 4 … 素子分離用溝、
- 3 5 … 埋め込み用絶縁膜、
- 3 6 … スリット、
- 3 7 … ゲート絶縁膜、
- 3 8 … ポリシリコン膜、
- 4 0 … 金属シリサイド層、
- 4 1、4 2 … コンタクトプラグ、
- 4 3 … 上層の配線層。

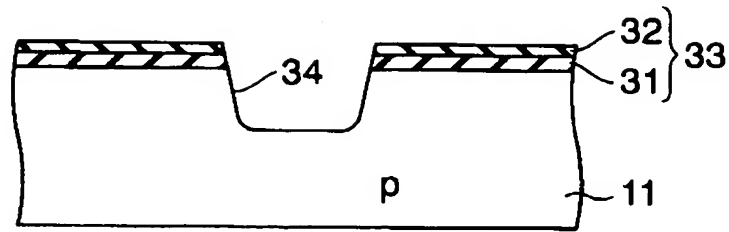
【書類名】

図面

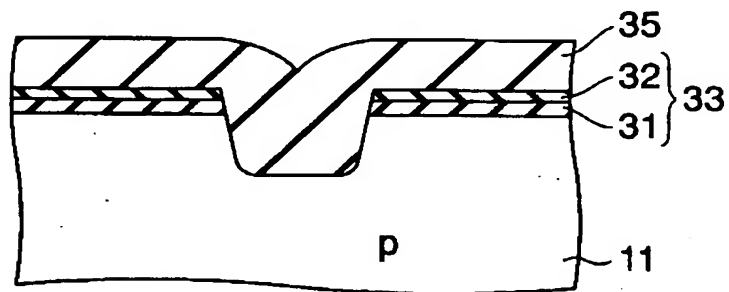
【図 1】



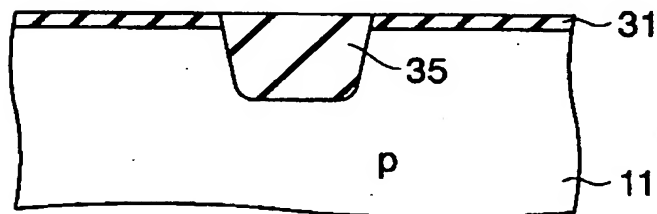
【図 2】



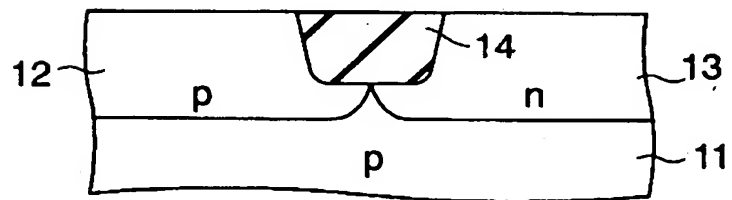
【図 3】



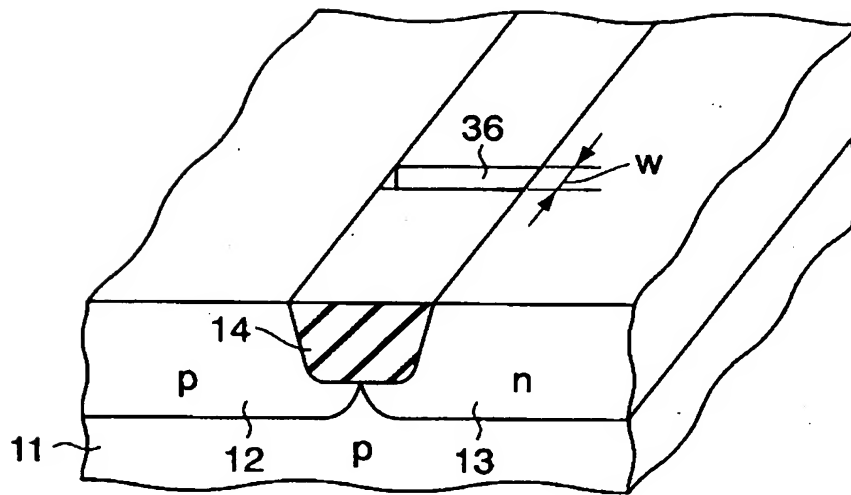
【図 4】



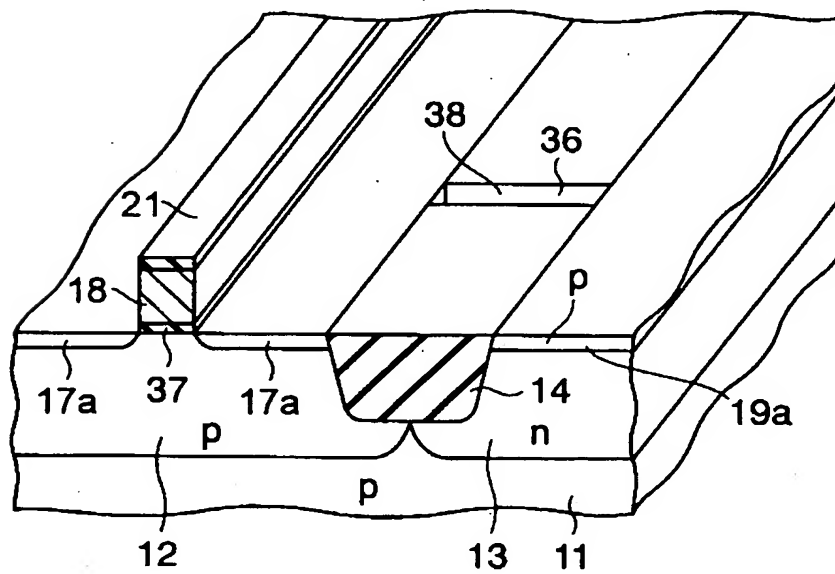
【図 5】



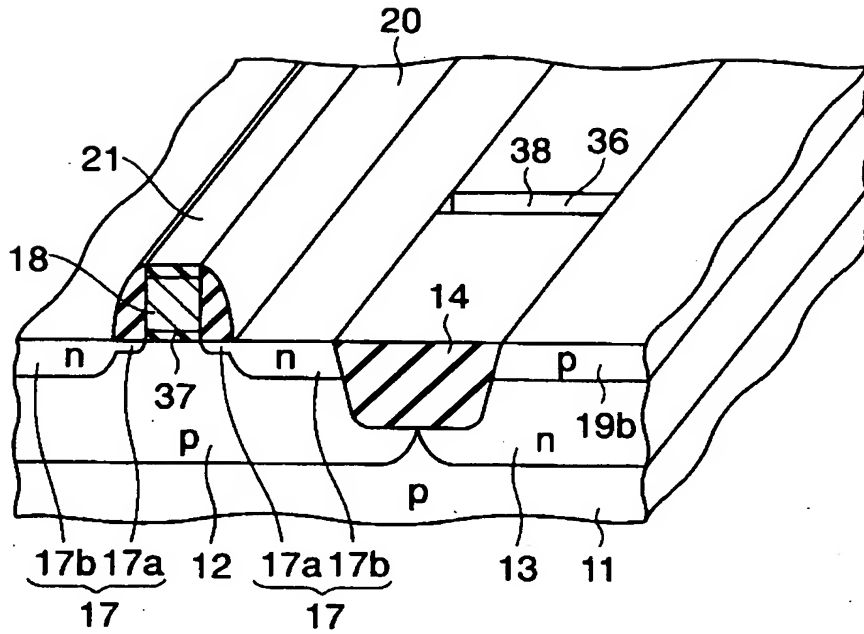
【図 6】



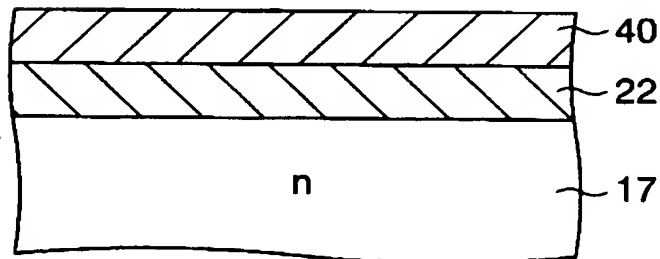
【図 7】



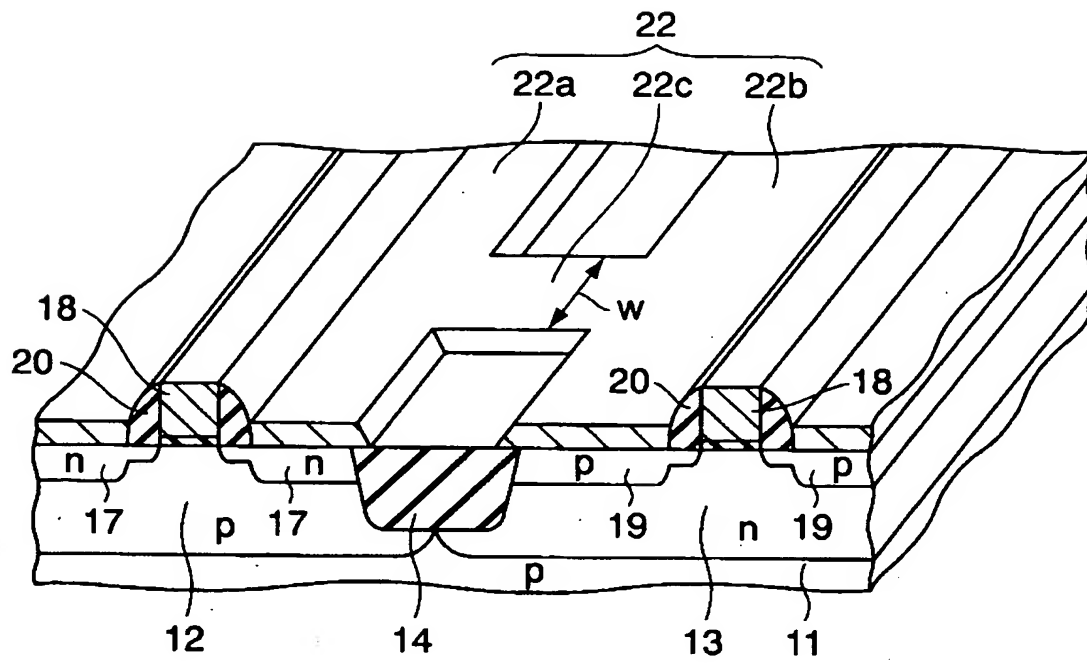
【図 8】



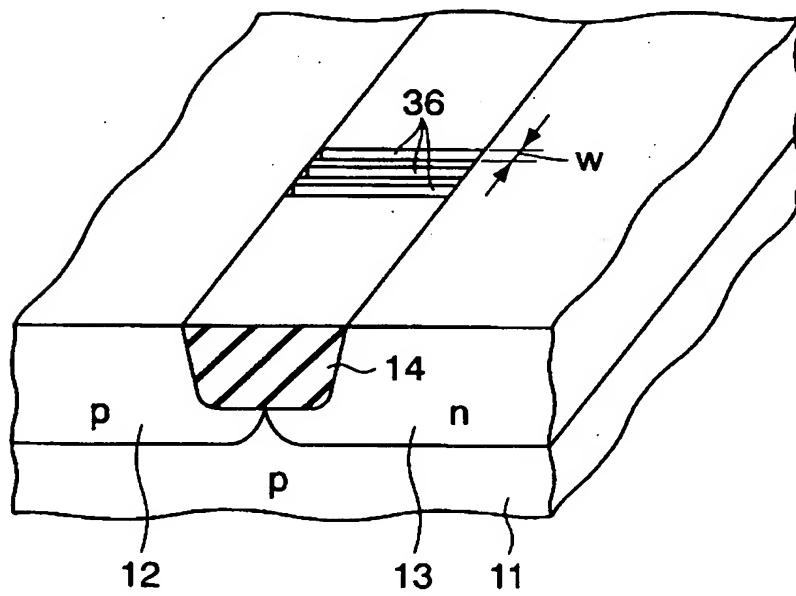
【図 9】



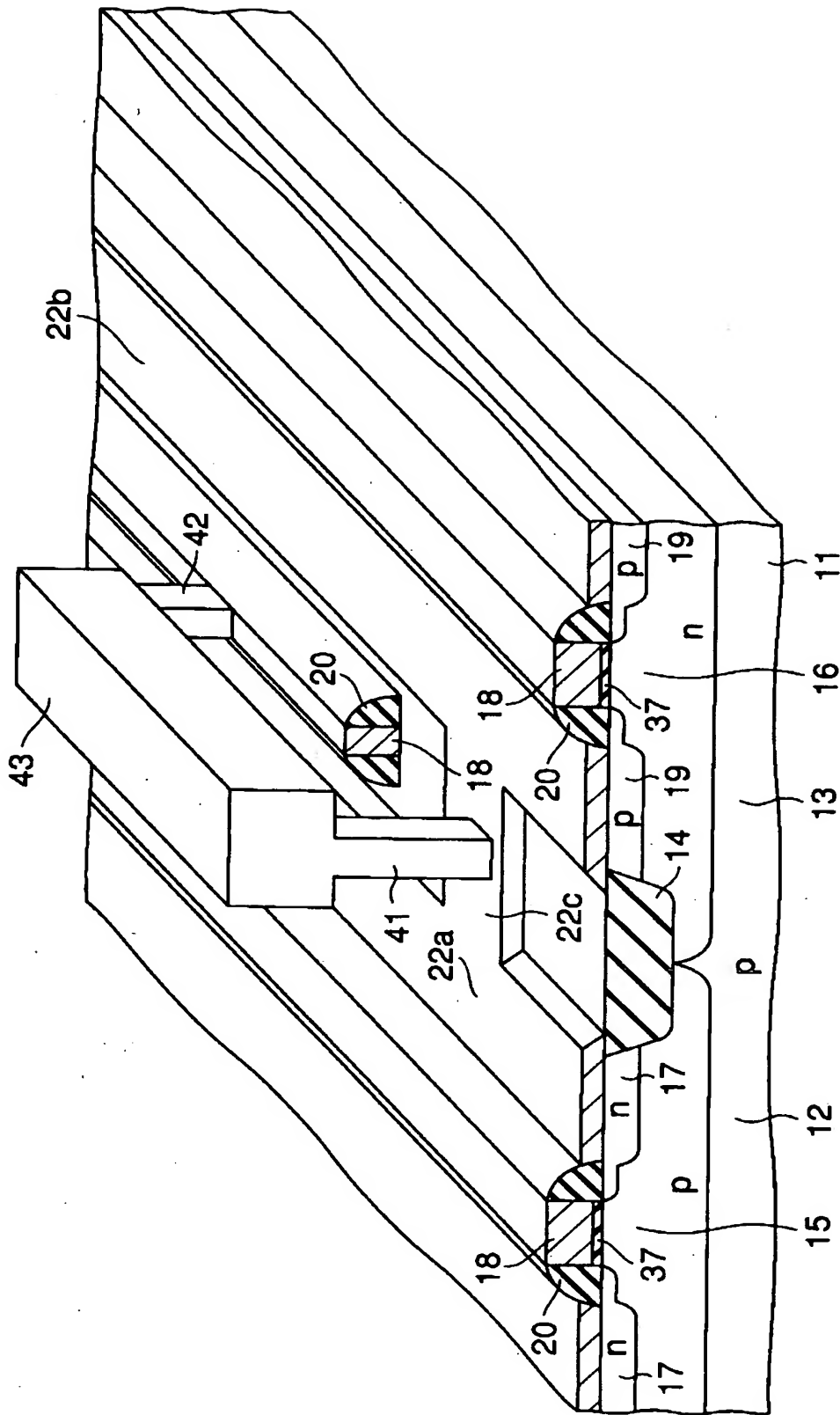
【図10】



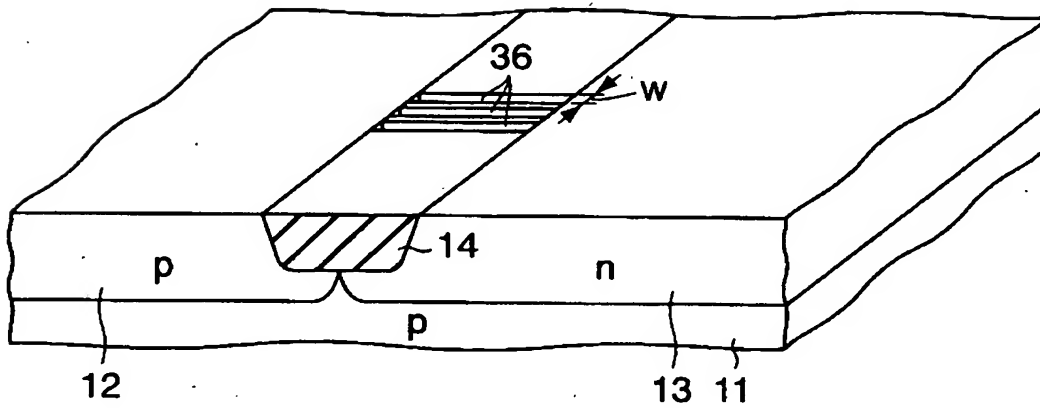
【図11】



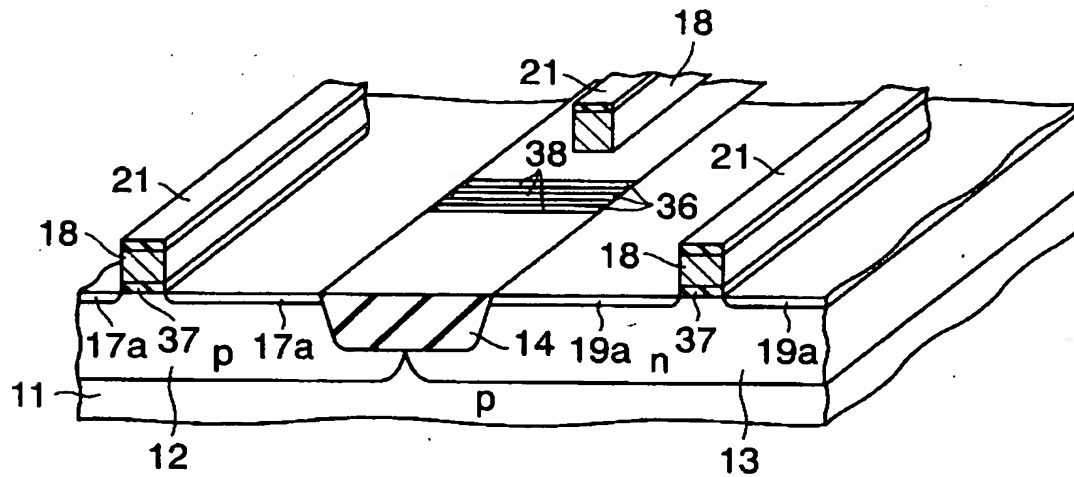
【図 14】



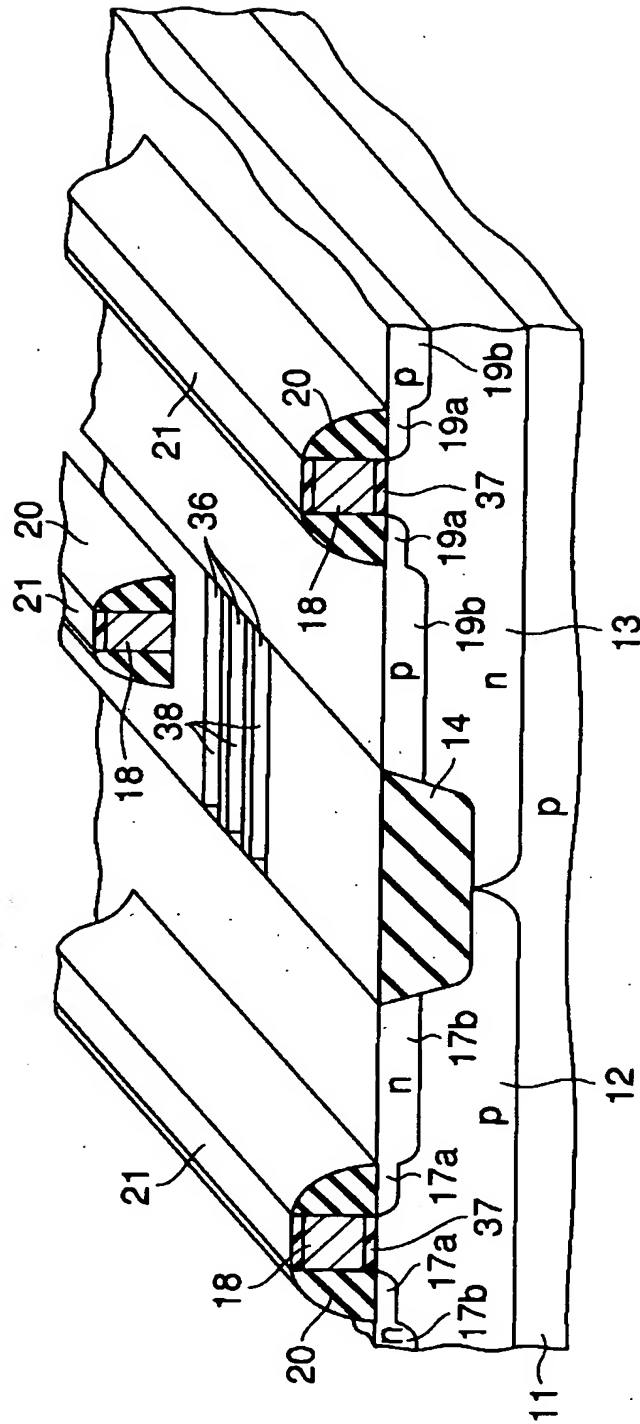
【図15】



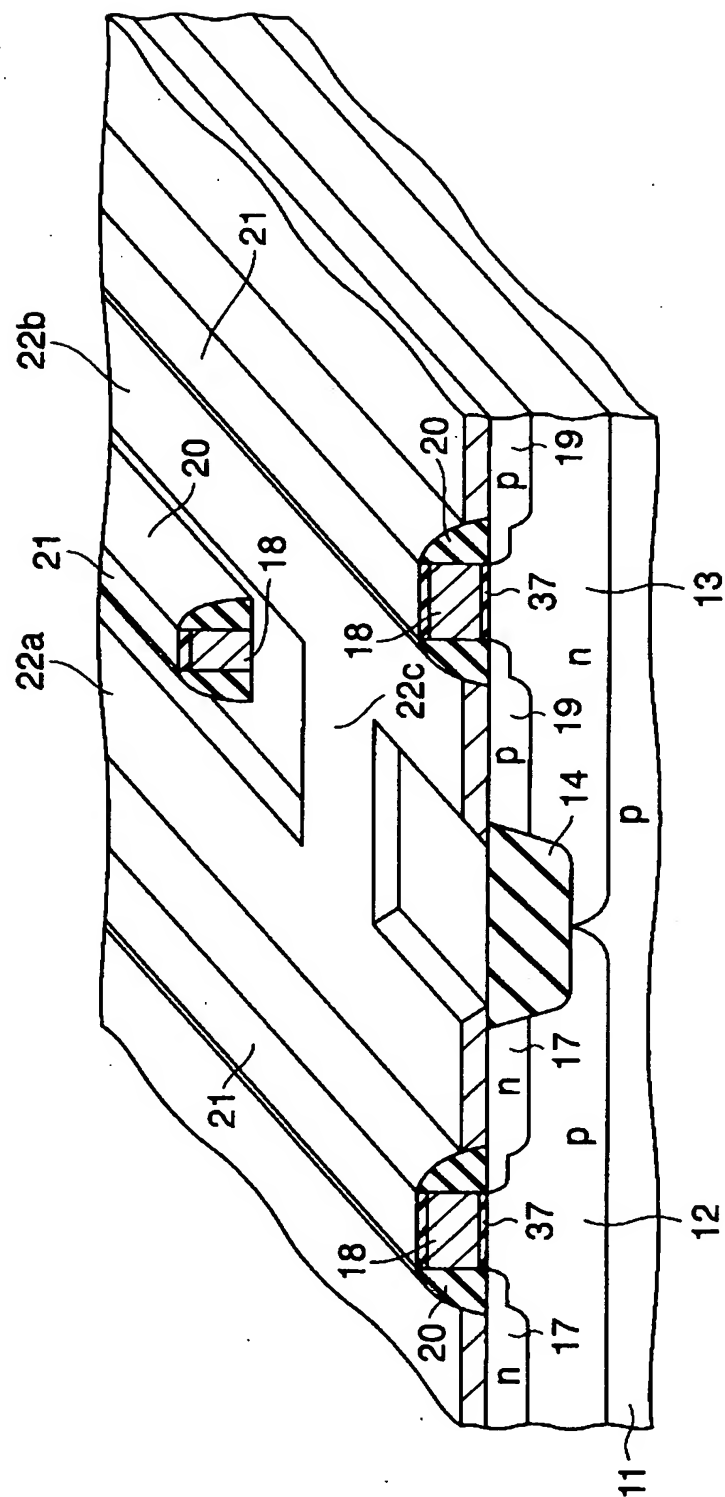
【図16】



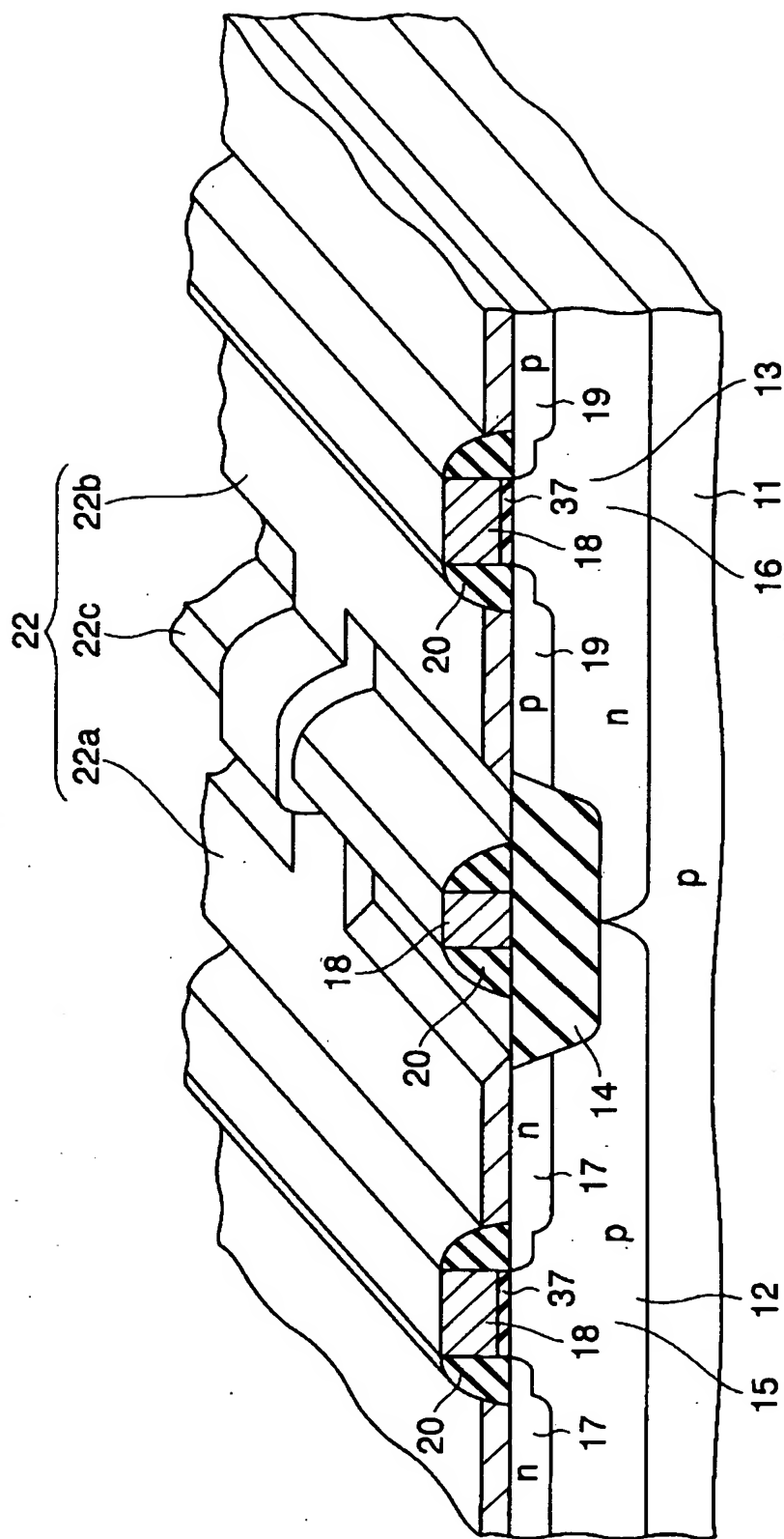
【図 17】



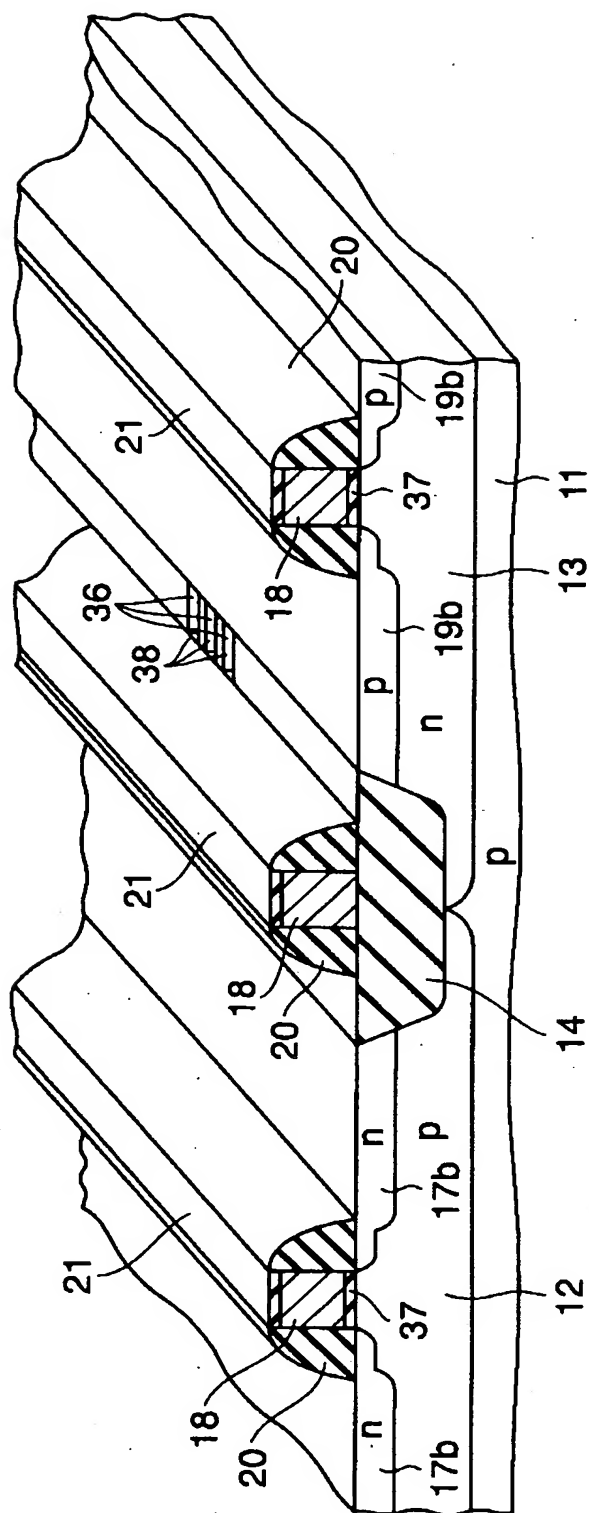
【图 18】



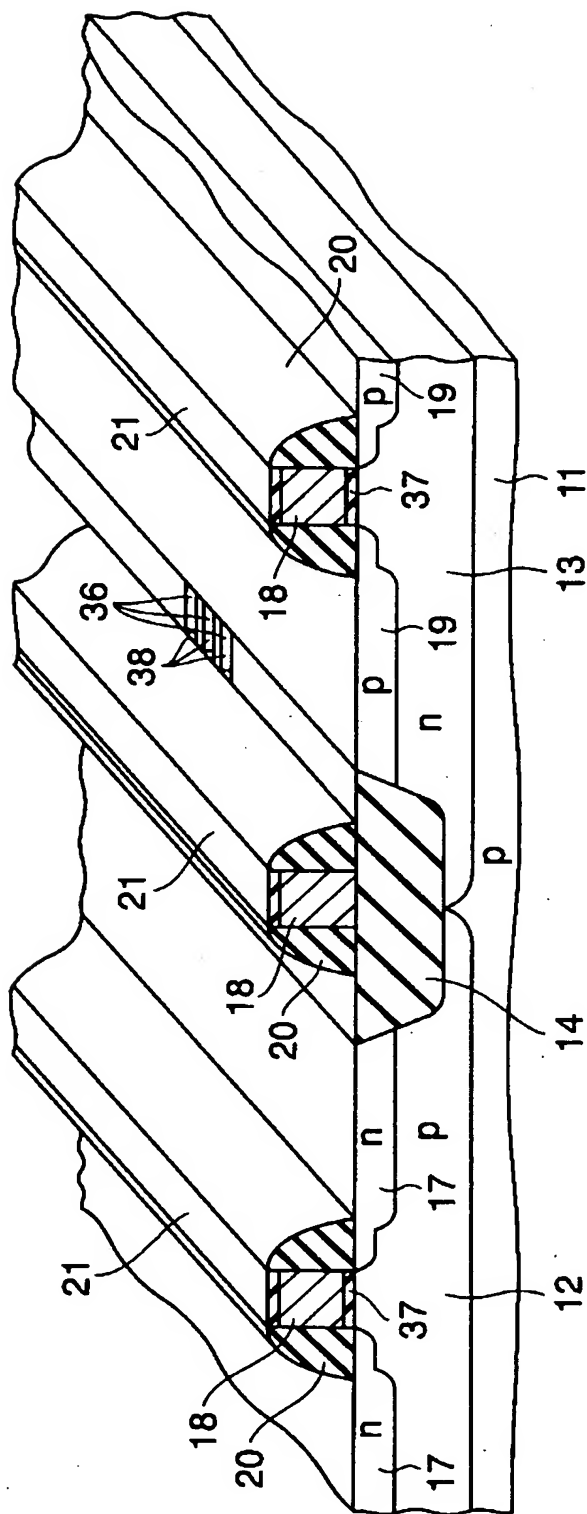
【図19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 分離領域で隔てられた一対の拡散領域相互間を、コンタクトを設けずに、配線層により接続することを特徴とする。

【解決手段】 基板 1 1 上に互いに離間して形成され、n 型拡散領域 1 7 を有する n チャンネルの第 1 のトランジスタ 1 5 及び p 型拡散領域 1 9 を有する p チャンネルの第 2 のトランジスタ 1 6 と、第 1、第 2 のトランジスタ 1 5、1 6 を分離する S T I 1 4 と、S T I 1 4 内に設けられるスリット 3 6 と、スリット 3 6 の内壁部上に設けられたポリシリコン膜 3 8 と、n 型、p 型拡散領域 1 7、1 9 と電氣的に接続された配線層 2 2 の第 1、第 2 の部分 2 2 a、2 2 b と、スリット 3 6 に沿うようにして S T I 1 4 上に設けられ、第 1、第 2 の部分 2 2 a、2 2 b と一体化された配線層 2 2 の第 3 の部分 2 2 c とからなる配線層を有することを特徴する。

【選択図】 図 1

出 願 人 履 歷 情 報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝